

SRAM 셀 간의 AC 커플링 고장의 해석

Analysis of AC Coupling Defect for SRAM Cell

배종선 백상현

한양대학교 전자전기제어계측공학과

ampmaster@hanyang.ac.kr , bau@hanyang.ac.kr

Abstract

AC type of defects increases with increasing silicon density in a limited area and high operating speeds. The capacitive defects, which behave as low impedance paths to white noises between memory cells reduce memory reliabilities. The stored data can be flipped if noises through the coupling defects influence neighborhood memory cells at transient state. In this paper, we show the worst-case with capacitive defects and AC coupling defect model. Spice simulations are also presented.

I. 서론

DSM공정기술의 발달로 메모리의 집적도는 높아지고, 동작속도 또한 빨라지고 있다[1]. 제한된 공간에서 많은 메모리 셀이 집적화됨에 따라 기생성분에 의한 AC적인 문제점이 증가하게 된다[2]. 특히 메모리 셀 사이에서 비정상적으로 증가된 기생커패시터는 고주파 대역에서 낮은 임피던스 값을 갖기 때문에 노이즈(Noise)가 유입되는 경로로서 Crosstalk의 원인이 되어 메모리의 신뢰성을 저하시킨다[3].

메모리 셀에 영향을 주는 노이즈에는 Switching Noise, Coupling Noise, Substrate Noise, Ground Bounce Noise, SEU(Single Event Upsets) 등이 있다[4]. 이와 같은 노이즈에 대해 저항력을 갖고 메모리의 신뢰성을 높이기 위해서는 충분한 Noise Margin(NM)을 확보하여야 한다[5]. 이것은 메모리의 설계에 있어서 메모리 셀의 크기와 전력소모 등을 결정하는 중요한 요소로 작용하게 되어 결과적으로 안정성과 디자인 요소들은 순환적인 영향을 미치게 되는 관계성을 형성하게 된다[4].

메모리 셀의 NM해석방법으로 SNM(Static Noise Margin)과 DNM(Dynamic Noise Margin)방법이 있다

[4,5]. SNM은 DC형태의 노이즈에 대해 값을 유지할 수 있는 범위를 말하며 [5,6], DNM은 AC형태의 노이즈에 대한 것으로 SNM에 시간의 개념이 추가되어 노이즈의 크기뿐 아니라 지속시간(Duration)에 대한 안정성을 확보하는 것이다. 노이즈가 일정시간 이상 지속되면 레벨이 낮더라도 셀의 상태를 변화시킬 수 있기 때문이다[4,7]. AC적인 문제가 증가하면서 DNM이 더욱 중요시 되고 있다.

정상적인 메모리 셀의 경우에 DNM을 통해서 안정성을 확인할 수 있지만, Capacitive Defect에 의해서 커플링 노이즈가 발생하였을 때, 셀의 안정성에 어떠한 영향을 주는가를 확인하고, AC적인 문제에 대해 저항성이 큰 셀을 설계하는데 하나의 설계요소로 활용할 수 있다.

본 논문에서는 SRAM 셀이 스위칭 상태에서의 커플링 노이즈에 대한 영향을 분석해 봄으로써 셀 디자인과 커플링 노이즈의 상관 관계의 모델링을 통하여, 커플링 커패시터의 영향의 메트릭을 개발 하고자 한다.

II. AC 커플링 고장해석

메모리 셀의 크기는 작아지나 용량을 커짐에 따라 셀 간의 고장이 발생할 확률은 더욱 증가한다. 이 장에서는 AC 커플링 고장이 있을 경우 메모리에 악영향을 줄 수 있는 worst-case를 보이고, 모델링한다.

메모리 셀에서 NM을 구하는 것은 일정한 값을 유지할 수 있는 구간을 나타내는 것이고, 하나의 상태에서 다른 상태로 변화하는 Transient 상태는 NM의 구간에 포함되지 않는다. 이것은 메모리 셀이 “0” 또는 “1”이라는 상태를 유지하는 과정을 통해서 데이터를 저장하는 것을 목적으로 하며, 읽기와 쓰기동작 중에는 값이 변하는 Transient 상태가 존재하지만, 이 구간에 대해서 노이즈의 영향은 중요시되지 않았다.

하지만 읽기동작에서는 한 쌍의 비트라인이 프리차지(Pre-Charge)되어 있는 상태에서 셀을 연결시켜 두 개의 차이를 센스앰프를 통해서 증폭하는 과정을 거쳐 데이터를 출력하게 된다. 이 때에 셀은 일시적으로 Transient 상태가 되며, 셀에 Capacitive Defect가 있

본 논문은 정보통신부의 출연금으로 ETRI, SoC산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업과 경기도에서 지원하는 경기도지역협력연구센터(GRRC)사업의 연구결과입니다.

을 경우 이로 인해 외부로부터 AC 커플링된 노이즈의 영향을 받을 수 있다. 또한 쓰기동작에서는 셀에 저장된 값이 “0”에서 “1”, “1”에서 “0”으로 바뀌는 Transient 과정에 있게 되며, 짧지만 순간적으로 Meta-Stable 상태에 존재하므로 노이즈의 영향에 민감하다. 따라서 Capacitive Defect에 의해서 유입되는 노이즈에 대해 고려할 필요하다.

그림 1은 Pull-up소자로 PMOS(MP1, MP2)를 Pull-down소자로 NMOS(MN1, MN2)를 사용한 전형적인 6T-Cell 형태의 SRAM 셀에 커플링 커패시터(C_1 , C_2)에 의해 잡신호가 유입되는 것을 나타내고 있다. 여기서, 메모리 셀이 가장 worst-case에 있음을 가정하기 위해 다음과 같이 가정한다. 셀은 Transient 과정에서 Meta-Stable 상태에 있으며, 각각의 TR은 포화영역 (Saturation) 에서 동작한다. 또한 노드 Q와 Qb에 각각 C_1 과 C_2 에 의해 두 개의 노이즈 V_{N1} 과 V_{N2} 가 연결되어 있다. 노이즈 는 0V에서 V_{DD} 로 상승시간(t_r)동안 변화되는 전압원으로써 서로 방향이 반대라고 했을 때, 셀의 상태가 변화되기 가장 쉽다.

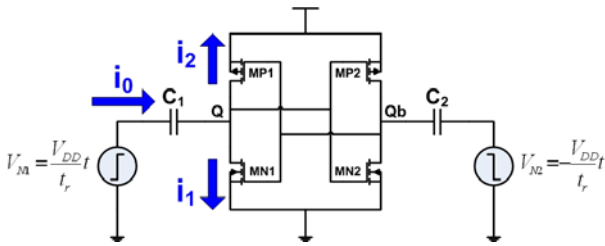


그림 1. AC Coupling Noise Model

그림 2는 그림 1의 회로를 소신호 해석을 위해 변환한 것이다. 이것을 노드 Q와 Qb에서의 전압 V_Q , V_{Qb} 와 노이즈의 관계를 KCL을 이용하여 수식으로 유도하여 정리한 것이 수식 (2)이다.

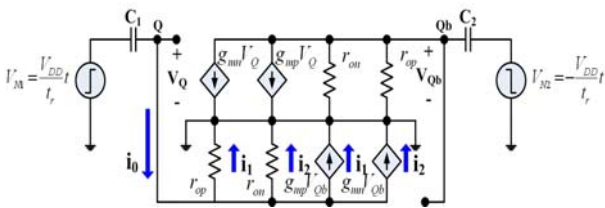


그림 2. Small Signal Model

$$i_0 + i_1 - i_2 = 0 \quad (1)$$

$$\text{if, } C_1 = C_2 = C, V_{N1} = -V_{N2} = \frac{V_{DD}}{t_r} t$$

$$V_Q = -V_{Qb} \approx \frac{C}{G_m} \left(\frac{V_{DD}}{t_r} \right) \quad (2)$$

수식 (2)에서 보면, 셀의 상태를 나타내는 V_Q 에서 트랜스컨덕턴스(Transconductance) G_m 은 셀의 설계요소인 W/L 을 포함하며, 동작의 기준이 되는 값으로 Transient 즉, 포화영역(Saturation Region)에서 최대이며, 선형영역(Linear Region)으로 갈수록 감소한다. 그러므로 선형영역에서는 V_Q 가 매우 커져서 V_{DD} 에 가깝게 증가하며, 이 상태에서는 NM을 벗어나지 않는 한 쉽게 값이 바뀌지 않는다. 또한 V_Q 는 커플링 커패시터 C 에 비례하며, 노이즈의 변화를 나타내는 상승시간 t_r 에 반비례함을 보인다. 이것은 메모리가 집적도와 동작 속도가 증가할수록 노이즈에 의해 셀이 변화할 수 있는 확률이 커짐을 나타낸다.

III. 실험결과

커플링 커패시터에 의한 노이즈 모델을 검증하기 위해 Hspice를 이용하여 Simulation을 수행하였다. SRAM 셀을 구성하는 TR의 크기는 실제 칩으로 제작되어 검증된 설계결과를 이용하였다. C_1 과 C_2 를 제외한 기생성분은 무시하였다.

그림 3은 메모리 셀이 Transient상태에 있도록 Meta-Stable로 초기화하고, 노이즈 V_{N1} 과 V_{N2} 를 C_1 과 C_2 을 통해서 입력하였다. 상승시간 t_r 이 각각 10ns, 1ns, 0.1ns일 때, C_1 과 C_2 의 크기가 V_Q , V_{Qb} 에 미치는 영향을 보인 것이다. 커패시터가 커질수록, 상승시간이 빨라질수록 Meta-Stable에서 다른 상태로 빠르게 변하는 것을 볼 수 있다. 이것은 앞서 유도된 수식 (2)과 같이 C 에 따라 비례하며, t_r 에 반비례함을 볼 수 있다.

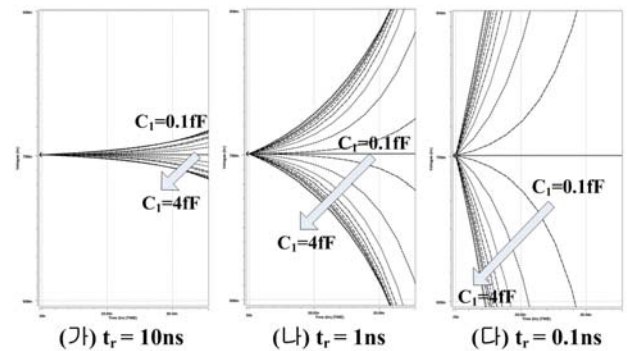


그림3. V_{N1} (V_{N2})과 상승시간(t_r)과

커플링 커패시터 C 에 따른 셀의 상태변화(Transient)

노이즈의 영향으로 인해 상태가 변하는 것은 그림 4에서 보는 바와 같이 Meta-Stable 상태에서 TR에 흐르는 전류가 평행($i_1 = i_2$)을 이루다가 노이즈의 영향으로 C_1 과 C_2 에 흐르는 전류(i_0)에 의해 균형이 깨어지면서 포화(Saturation)동작영역에서 선형(Linear)동작영역으로 넘어가면서 저장된 값이 변하게 된다.

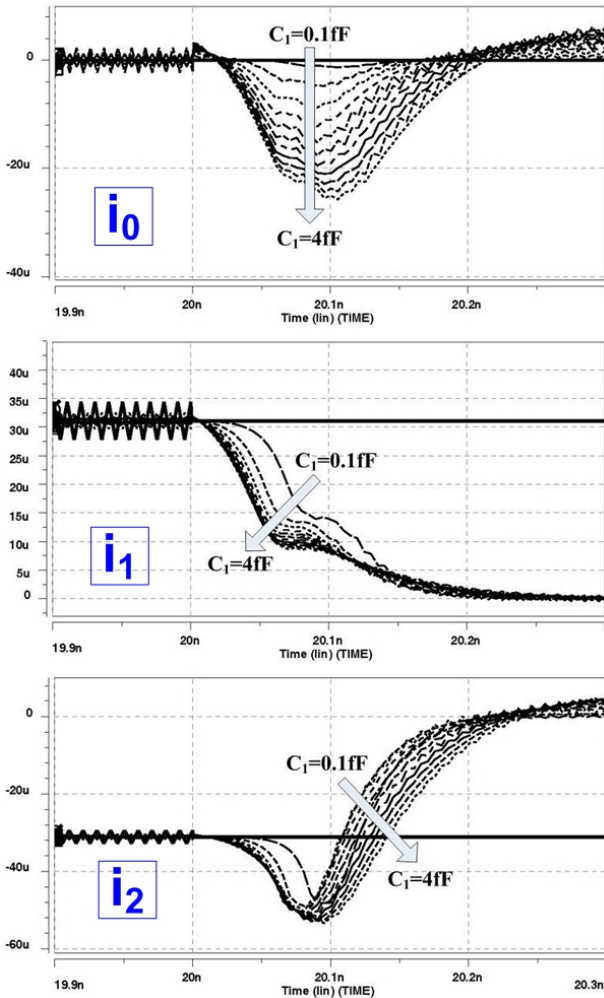


그림 4. C_1 을 통해 들어오는 노이즈에 따른 전류변화($t_r=10\text{ns}$)

IV. 결론

메모리의 설계에 있어서 잡신호의 영향에 대한 안정성을 갖도록 하는 것이 중요한 설계목표가 된다. 이를 위해 NM을 구하여 노이즈에 대한 저항성을 판별하게 된다. 하지만 메모리의 집적도와 동작속도가 증가함에 따라 AC적인 문제점도 함께 늘어나게 되어 메모리 셀이 잡신호의 영향을 받을 확률이 증가하게 된다. 본 논문에서는 Capacitive Defect로 인해 노이즈가 셀에 연결될 경우에 발생하는 문제점에 대해서 살펴보고, 이것을 노이즈 모델로서 수식으로 유도하고 시뮬레이션을 통해서 메모리의 신뢰성에 영향을 미침을 확인하였다. 따라서 메모리의 설계에서 이러한 Capacitive Defect에 의한 AC 커플링 노이즈에 관한 문제를 고려해야 할 필요가 있다.

참고문헌

- [1] The International Technology Roadmap for Semiconductor (ITRS) 2001:<http://public.itrs.net/>
- [2] L. Gal, "On-chip crosstalk The new signal integrity challenge, " in *Proc. Custom-Integrated Circuits Conf.*, May 1995, pp12.1.1-12.1.4
- [3] 배종선, 백상현, "메모리 셀 간의 Crosstalk 고장 분석 및 테스트 방법", 제 7회 한국 테스트 학술대회, 2006
- [4] Bin Zhang, Arapostathis, A., Sani Nassif, Orshansky, M., "Analytical Modeling of SRAM Dynamic Stability," *Computer-Aided Design, 2006. ICCAD'06. IEEE/ACM International Conference on* Nov. 2006 Page(s):315 - 322
- [5] John R. Hauser, "Noise Margin Criteria for Digital Logic Circuits," *IEEE Transaction on Education*, Vol.36, No.4, November 1993
- [6] Richard C. Jaeger, Travis N. Blalock, "Microelectronic Circuit Design 2nd ed.," *McGraw-Hill*, 2004, pp362~365
- [7] Li Ding; Mazumder, P., "Dynamic noise margin: definitions and model," *VLSI Design, 2004. Proceedings. 17th International Conference on* 2004 Page(s):1001 ~ 1006